

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243944

(43)Date of publication of application : 08.09.2000

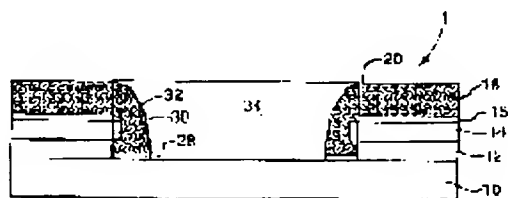
(51)Int.Cl. H01L 27/12
H01L 21/205(21)Application number : 2000-035433 (71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>(22)Date of filing : 14.02.2000 (72)Inventor : LEOBANDUNG EFFENDI
SADANA DEVENDRA K
SCHEPIS DOMINIC J
SHAHIDI GHAVAM

(30)Priority

Priority number : 99 250895 Priority date : 16.02.1999 Priority country : US

(54) SILICON-ON-INSULATOR STRUCTURE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a planar silicon-on-insulator(SOI) structure and a method for manufacturing the structure.**SOLUTION:** The SOI structure has a silicon wafer 10, an oxide layer 12 and a silicon layer 14. A trench is formed as extended from an upper surface of the structure to the silicon wafer, and the trench is filled with semiconductor 34. The trench has an upper part, a bottom surface and a sidewall. The sidewall has a sidewall silicon part. The sidewall silicon part of the trench sidewall is covered with a trench sidewall oxide layer 30. A protective sidewall 32 is formed on the trench sidewall and a trench sidewall oxide layer as extended from the upper part of the trench to the bottom surface of the trench.

LEGAL STATUS

[Date of request for examination] 14.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243944

(P2000-243944A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

データベース (参考)

H 0 1 L 27/12
21/205

H 0 1 L 27/12
21/205

L

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2000-35433 (P2000-35433)

(22) 出願日 平成12年2月14日 (2000.2.14)

(31) 優先権主張番号 09/250895

(32) 優先日 平成11年2月16日 (1999.2.16)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外1名)

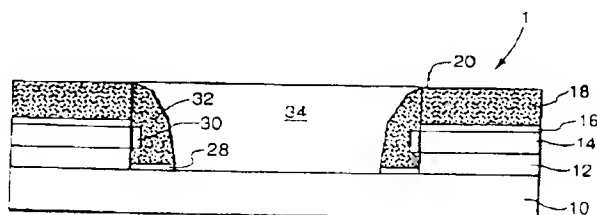
最終頁に続く

(54) 【発明の名称】 シリコン・オン・インシュレータ構造およびその製造方法

(57) 【要約】

【課題】 平面シリコン・オン・インシュレータ (SOI) の構造およびその構造の製造方法を提供する。

【解決手段】 SOI構造は、シリコン・ウェハ10、酸化物層12、およびシリコン層14を有する。構造の上面からシリコン・ウェハまで延びるトレンチを形成し、そのトレンチを半導体34で充填する。トレンチは、上部、底面、および側壁を有する。側壁は、側壁シリコン部分を有する。トレンチ側壁の側壁シリコン部分を、トレンチ側壁酸化物層30で覆う。保護側壁32が、トレンチ側壁とトレンチ側壁酸化物層上に、トレンチ上部からトレンチ底面まで延びる。



【特許請求の範囲】

【請求項1】シリコン・ウェハ、酸化物層、シリコン層、および窒化物層を含む基板上に平面状シリコン・オン・インシュレータ（SOI）構造を製造する方法であって、（a）前記基板内に、上面から前記シリコン・ウェハまで延び、側壁シリコン部分を含む側壁と底面とを有するトレンチを形成する段階と、（b）前記トレンチ底面および前記側壁シリコン部分上に酸化物層を形成して、トレンチ底面酸化物層とトレンチ側壁酸化物層を形成する段階と、（c）前記トレンチ側壁に、前記トレンチ側壁酸化物層上に延び前記トレンチ底面酸化物層の一部分と重なる保護側壁を形成する段階と、（d）前記保護側壁の下にない前記トレンチ底面酸化物層をすべて除去する段階と、（e）前記トレンチに半導体を少なくとも前記上面まで充填する段階とを含む方法。

【請求項2】前記基板がさらに、前記窒化物層と前記シリコン層の間に保護酸化物層を含む請求項1に記載の方法。

【請求項3】前記保護側壁および前記窒化物層が、窒化シリコンからなる請求項1に記載の方法。

【請求項4】シリコン・ウェハと、前記シリコン・ウェハ上の酸化物層と、前記酸化物層上のシリコン層と、半導体で充填され、表面から前記シリコン・ウェハまで延び、上部、底面および側壁シリコン部分を有する側壁を有するトレンチによって画定される酸化物が埋め込まれていない領域と、前記トレンチ側壁の前記側壁シリコン部分の上のトレンチ側壁酸化物層と、前記トレンチ側壁の上に前記トレンチ上部から前記トレンチ底面まで延び、前記トレンチ側壁酸化物層を覆う保護側壁とを含むシリコン・オン・インシュレータ（SOI）構造。

【請求項5】前記保護側壁が、窒化シリコンであり、前記基板がさらに、前記シリコン層上に形成された窒化シリコン層を含む請求項4に記載のSOI構造。

【請求項6】シリコン・ウェハと、前記シリコン・ウェハ上の酸化物層と、前記酸化物層上のシリコン層と、前記シリコン層上の窒化シリコン層と、シリコン半導体で充填され、表面から前記シリコン・ウェハまで延び、上部、底面、および側壁シリコン部分を有する側壁を有するトレンチによって画定される酸化物が埋め込まれていない領域と、前記トレンチ側壁の前記側壁シリコン部分の上のトレンチ側壁酸化物層と、前記トレンチ側壁の上に延び、前記トレンチ上部から前記トレンチ底面まで延び、前記トレンチ側壁酸化物層を覆う窒化シリコン保護側壁とを含むシリコン・オン・インシュレータ（SOI）構造。

【請求項7】前記窒化シリコン層と前記シリコン層の間に保護酸化物層をさらに含む請求項6に記載のSOI構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にシリコン・オン・インシュレータ（SOI）構造に関し、より詳細には、平面状で高密度にパターン形成されたSOI構造とそのような構造の製造方法に関する。

【0002】

【従来の技術】パターン形成したSOI（シリコン・オン・インシュレータ）構造は、SOI領域と非SOI（あるいはバルク）領域からなる。パターン形成したSOI構造は、従来の装置とSOI装置の両方を必要とする回路に有用である。そのような回路には、たとえば、キャッシュ・ロッキング・ダイナミック・ランダム・アクセス・メモリ（ML-D-RAM）回路がある。

【0003】パターン形成したSOIウェハの作成に使用される1つの方法は、選択的に形成されたトレンチ内にエピタキシャル・シリコンを付着させる（選択的エピタキシャル・プロセス）ものである。シリコン基板に狭いトレンチをエッチングする技術の発達により、選択的エピタキシャル・プロセスの重要性が高くなった。そのような狭いトレンチをシリコン材料で首尾長く充填できる場合は、酸化物などの絶縁層で分離された密な間隔のシリコン・アイランドを形成することが可能である。

【0004】絶縁層で分離された密な間隔のシリコン・アイランドを形成する際の最初のステップは、トレンチの形成である。このステップで、SOI基板は、非SOI基板を必要とする領域のソース層の表面まで選択的にエッチングされ、トレンチが形成される。次に、選択的エピタキシャル処理によってトレンチが充填される。

【0005】この方法は、露出したシリコン、主にエッチングされたトレンチの底面の露出したシリコン・ウェハに対して選択的なエピタキシャル・シリコン成長を使用する。選択的エピタキシャル付着は、高い表面移動度を有するシリコン原子が、核形成に有利な単一シリコン結晶部分に移動するときに達成される。この選択的エピタキシャル処理の結果、トレンチにシリコンが充填される。これにより得られる構造は、SOI領域とシリコンが充填されたトレンチを有する非SOI領域とを含む。

【0006】残念ながら、選択的エピタキシャル・プロセスを実行する際に、いくつかの問題が起こることがある。1つの問題は、損傷のあるシリコン結晶構造の形成である。この問題は、複数の成長ソースを有する結果起こる。トレンチ内のエピタキシャル・シリコン成長では、シリコンを単一のソースから成長させることがきわめて好ましい。選択的エピタキシャル処理の目的は、実際にトレンチに充填されるシリコンがシリコン・ウェハの拡張部分となるように、トレンチが、下にあるシリ

コン・ウェハと同じ結晶格子構造を有するシリコンで充填されることである。シリコン成長のソースが複数あるとき、得られるエピタキシャル・シリコン成長は、シリコンが異なる速度と方向に成長しやすいために損傷する。したがって、望ましい均一なシリコン結晶構造が得られない。

【0007】第2の問題は、パンプの形成である。エピタキシャル・シリコンが、トレンチ側壁のシリコン層部分に成長するとき、S O I領域と非S O I領域の間にパンプが形成される。このパンプには、いくつかの欠点がある。最も重要な結果は、小さくかつ高密度にパターン形成したS O I領域と非S O I領域を作成する能力の低下である。さらに、これらのパンプは、次の平面化ステップの障害となり、コストと時間のかかる追加の処理ステップが全儀なくされることがある。

【0008】選択的エピタキシャル処理を使用してトレンチを充填することの欠陥は、トレンチ側壁のシリコン層部分から生じるシリコンのエピタキシャル成長をなす必要がなお存在することを示している。選択的エピタキシャル処理の欠点を克服するために、新しいプロセスを提供する。

【0009】

【発明が解決しようとする課題】本発明の目的は、選択的エピタキシャル処理を使用してトレンチを充填する方法を提供することであり、この方法は、下にあるシリコン層の望ましい均一な結晶構造を形成し、しかもS O I領域と非S O I領域の間にパンプを作成しない。

【0010】

【課題を解決するための手段】上記その他の目的を達成するため、その目的を考慮して、本発明は、酸化物が埋め込まれていない領域を有する平面状S O I構造を製造する方法を提供する。選択的エピタキシャル・プロセスを使用して、平面状S O I構造に、下にあるシリコン・ウェハの結晶格子構造と整合する均一な結晶構造で充填されたトレンチを形成する。さらに、本発明は、平面状S O I構造のS O I領域と非S O I領域の間のパンプの形成を抑制する。

【0011】本発明のS O I構造は、シリコン・ウェハ、酸化物層、およびシリコン層を含む。この構造は、構造の上面からシリコン・ウェハまで延び半導体で充填されたトレンチを有する。トレンチは、上部、底面、および側壁。シリコン部分を有する側壁を有する。トレンチ側壁のシリコン側壁部分は、トレンチ側壁酸化物層によって覆われる。保護側壁が、トレンチ側壁とトレンチ側壁酸化物層の上に、トレンチ上部からトレンチ底面まで広がる。

【0012】本発明の平面状S O I構造の形成において、最初に、シリコン・ウェハ、酸化物層、シリコン層、および窒化物層を有する基板を得る。基板は、上面を有する。この方法は、(a)基板上に、上面から前記

シリコン・ウェハまで延び、側壁シリコン部分を有する側壁と底面とを有するトレンチを形成する段階と、

(b)トレンチ底面と側壁シリコン部分の上に酸化物層を形成してトレンチ底面酸化物層とトレンチ側壁酸化物層を形成する段階と、(c)トレンチ側壁上に、トレンチ側壁酸化物層上に延びトレンチ底面酸化物層の一部と重なる保護側壁を形成する段階と、(d)保護側壁が下にあるトレンチ底面酸化物層をすべて除去する段階と、(e)トレンチを半導体で満たし上面まで充填する段階とを含む。

【0013】

【発明の実施の形態】次に、本発明を、図を参照して説明する。すべての図で同じ番号は同じ要素を示す。これらの図は、限定的ではなく例示的なものであり、本発明の装置の説明を容易にするために含まれる。

【0014】始めに図1において、本発明のプロセスを実施する第1のステップは、シリコン・ウェハ10上に形成された酸化物層12、シリコン層14、および窒化物層18を有するシリコン・ウェハ10を含む基板1を得るものである。基板1(具体的には、基板1の窒化物層18)は、露出した表面20を有する。窒化物層18は、窒化シリコン、窒化ホウ素、酸窒化物など当技術分野で知られる一般的な窒化物の層から選択される。好ましい実施形態では、窒化物層18を形成するために窒化シリコンを使用する。

【0015】基板1はまた、保護酸化物層16を含むことができる。保護酸化物層16は、シリコン層14上に配置されると、窒化物層18の形成によって生じる損傷からシリコン層14を保護する。好ましい実施形態においては、酸化物層12の厚さは、約220nm〜約400nm、シリコン層14の厚さは、約100nm〜約300nm、保護酸化物層16の厚さは、約5nm〜約15nm、窒化物層18の厚さは、約220nm〜約500nmである。基板1を形成するために使用される技術は周知であり、本発明にとって重要でない。

【0016】本発明の方法における次のステップは、図1に示した構造の望ましい非S O I領域にトレンチを作成することである。このステップは、リソグラフィやエッチングなどの従来の技術によって行われる。図2に示すように、基板1の露出表面20から、シリコン・ウェハ10まで延びるトレンチ22が形成される。

【0017】トレンチ22は、側壁24と底面26を有する。トレンチ側壁24は、露出表面20に実質的に垂直になるように生成することが好ましい。トレンチ側壁24は、ドライ・エッチング法を使用してエッチングすることが好ましい。適切なドライ・エッチング法の例には、反応性イオン・エッチング(RIE)とプラズマ強化エッチングがある。トレンチ側壁24の側壁シリコン部分28が、露出したシリコン層14の隣りに形成される。

【0018】トレレンチ22を作成した後、本発明の方法の次のステップは、トレレンチ底面26上と側壁シリコン部分25上に酸化物層を形成することである。これにより、トレレンチ底面酸化物層28とトレレンチ側壁酸化物層30が形成される。図3に、この構造を示す。トレレンチ底面酸化物層28とトレレンチ側壁酸化物層30は、後で説明する保護側壁を形成する次のステップで、トレレンチ底面26と側壁シリコン部分25の損傷を防ぐ。さらに、トレレンチ底面酸化物層28は、トレレンチ底面26から、トレレンチ22を形成するエッチング・ステップで生じた破損シリコンを防ぐ。

【0019】トレレンチ底面酸化物層28とトレレンチ側壁酸化物層30を形成した後、図4に示すように、トレレンチ側壁24上に保護側壁32を形成する。保護側壁32は、側壁シリコン部分25を完全に覆う。トレレンチ側壁酸化物層30は、側壁シリコン部分25を覆うが、保護側壁32は、側壁シリコン部分25上のエピタキシャル・シリコン成長を防ぐことによって、後で説明する選択的エピタキシャル処理によるトレレンチ22を充填する次のステップの間、障壁としてはたらく。この障壁がないと、側壁シリコン部分25の露出部分上でのエピタキシャル・シリコン成長の結果として、基板1の露出表面20上のSOI領域と非SOI領域の間にバンプが形成されやすい。バンプの形成をなくすことにより、小さなかつ高密度にパターン形成されたSOI領域と非SOI領域を作成する機能が維持され、次の平面化が容易になる。

【0020】さらに、保護側壁32は、側壁シリコン部分25からのエピタキシャル成長を防ぐ。エピタキシャル成長のソースは1つだけであることがきわめて好ましい。成長を1つのソースに制限することにより、新しく形成されるシリコンの結晶格子構造の損傷が防止される。

【0021】保護側壁32の形成において、まず、低压化学付着法(LPCVD)などの従来の付着技術を使用してトレレンチ側壁24上に窒化物を付着する。付着した後、窒化物は、好ましくはRIEによってドライ・エッチングし、保護側壁32を形成する。好ましい実施形態において、窒化物は、窒化シリコンである。

【0022】保護側壁32と窒化物層18はどちらも窒化シリコンからなることが好ましい。本発明の方法の次のステップにおいて、トレレンチ底面酸化物層28が、ウェット・エッチング法によって除去される。窒化シリコンは、トレレンチ底面酸化物層28の除去に従来の使用されている化学薬品に耐性であることが分かっている。窒化物層18と保護側壁32が共に窒化シリコンからなるため、トレレンチ底面酸化物層28の除去は、窒化物層18と保護側壁32を損傷せずに達成することができる。

【0023】図5に示したように、本発明の方法の次のステップは、トレレンチ底面酸化物層28の保護側壁32

の下にない部分を除去する処理を含む。このステップは、フッ化水素酸を使用するウェット・エッチングなど、従来のウェット・エッチング法を使用してトレレンチ底面酸化物層28の一部分をエッチングすることによって行われる。このウェット・エッチング・ステップで、シリコン・アイランドが、除去される。そのようなシリコン・アイランドは、基板を形成する際にトレレンチ底面26上に作成されるのである。さらに、トレレンチ底面酸化物層28は、保護側壁32を形成する間トレレンチ底面26の損傷を防ぐ。

【0024】トレレンチ底面の酸化物層28をエッチングした後、選択的エピタキシャル処理を使用してトレレンチ22を半導体34で充填する。このステップにより、図6の構造が得られる。半導体34が、事実上シリコン・ウェット10の拡張部分になるように、下にあるシリコン・ウェット10の結晶格子構造が、エピタキシャル層に複製されなければならない。保護側壁32は、側壁シリコン部分25上での半導体34の成長を防ぎ、それによりバンプ形成がなくなる。選択的エピタキシャル処理において、窒化物層18と保護酸化物層16が、障壁として働く。好ましい実施形態において、半導体34はシリコンである。

【0025】図7に示したように、次に、窒化物層18と保護側壁32の窒化物層18に隣接する部分を除去する。これらの層は、リン酸を含むような従来のウェット・エッチング法を使用して除去する。次に、保護酸化物層16(存在する場合)を、フッ化水素酸を使用するような従来のウェット・エッチング法を使用して除去する。

【0026】窒化物層18、保護側壁32の一部分、および保護酸化物層16を除去した後で、従来のステップを適用してSOI基板の加工を完了することができる。好ましくは、図7の構造物を、化学機械研磨(CMP)などの従来の方法で平面化する。平面化に加えて、図7のトレレンチ底面酸化物層28、トレレンチ側壁酸化物層30、および保護側壁32をエッチングして、小さなトレレンチ(トレレンチ22に比べて)を形成することができ、次いでこれを酸化物で充填する。図8は、こうして得られたSOI構造の非SOI領域38を能動SOI領域40から分離する酸化物領域36を示す。

【0027】一実施形態において、基板上に酸化物が埋め込まれていないはっきりとした輪郭の領域を有する平面状SOI構造を、次のようなステップで形成した。酸素の注入による分離プロセス(SIMOX: separation by implantation of oxygen process)を使用して、高用量の酸素イオンをシリコン・ウェット10に注入し、その後でアニールした。このプロセスにより、シリコン・ウェット10上の300nmの酸化物層12の上に220nmのシリコン層14が作成された。次に、シリコン層14上に10nmの保護酸化物層16を形成し、次に保

および半導体の一部分を除去した図6のSOI構造の概略図である。

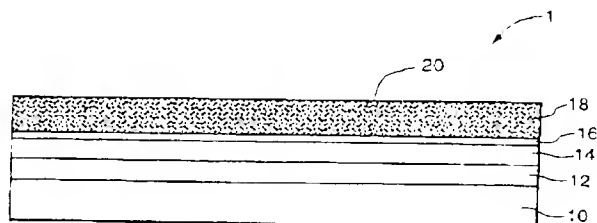
【図8】トレンチ底面酸化物層、トレンチ側壁酸化物層、および保護側壁をエッチングして、酸化物を充填したトレンチを形成した図7のSOI構造の概略図である。

【符号の説明】

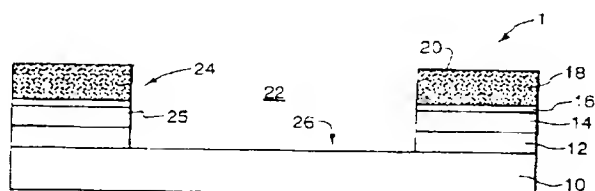
- 1 基板
- 10 シリコン・ウェハ
- 12 酸化物層
- 14 シリコン層
- 16 保護酸化物層

- 18 窒化物層
- 20 露出表面
- 22 トレンチ
- 24 トレンチ側壁
- 25 側壁シリコン部分
- 26 トレンチ底面
- 28 トレンチ底面酸化物層
- 30 トレンチ側壁酸化物層
- 32 保護側壁
- 34 半導体
- 36 酸化物領域

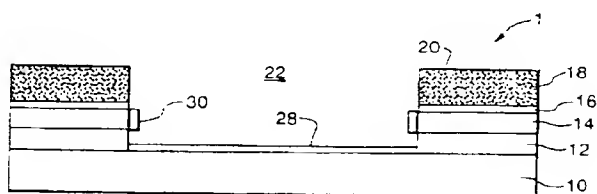
【図1】



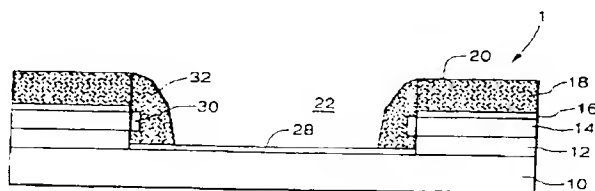
【図2】



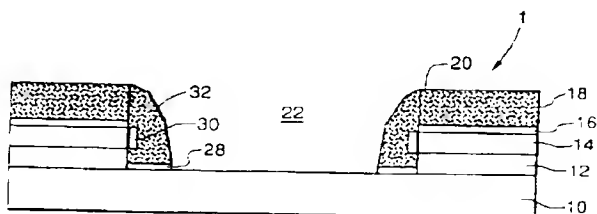
【図3】



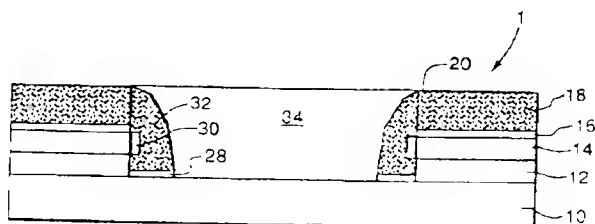
【図4】



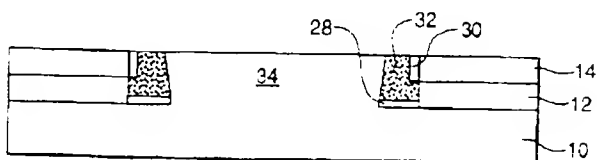
【図5】



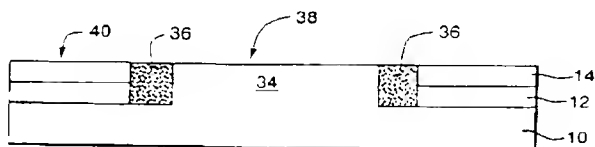
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 エフエンディ・レオバンドゥン
アメリカ合衆国12590 ニューヨーク州ワ
ッピングーズ・フォールズ スカーボロ・
レーン 17シー

(72)発明者 デーヴェンドラ・ケイ・サダナ
アメリカ合衆国12570 ニューヨーク州ブ
レザンドヴィル スカイ・トップ・ドライ
ブ 90

(72)発明者 ドミニク・ジェイ・シェビス
アメリカ合衆国12590 ニューヨーク州ワ
ッピングーズ・フォールズ ヒルサイド・
レーク・ロード 890

(72)発明者 ガヴァム・シャーヒディー
アメリカ合衆国10523 ニューヨーク州エ
ルムズフォード ノン・ヒル・ドライブ
85